



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년06월21일
(11) 등록번호 10-2546528
(24) 등록일자 2023년06월19일

(51) 국제특허분류(Int. Cl.)
G06N 3/08 (2023.01) G06N 3/04 (2023.01)
(52) CPC특허분류
G06N 3/08 (2023.01)
G06N 3/045 (2023.01)
(21) 출원번호 10-2020-0133780
(22) 출원일자 2020년10월15일
심사청구일자 2020년10월15일
(65) 공개번호 10-2022-0049995
(43) 공개일자 2022년04월22일
(56) 선행기술조사문헌
JP2018063561 A*
Sachin Maheshwari et al., "Logical effort based Power-Delay-Product Optimization," 2014 International Conference on Advances in Computing, Communications and Informatics (ICACCI)(2014.12.01.)*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
영남대학교 산학협력단
경상북도 경산시 대학로 280 (대동)
포항공과대학교 산학협력단
경상북도 포항시 남구 청암로 77 (지곡동)
(72) 발명자
최현철
경상북도 경산시 남매공원로 6, 103동 1601호(계양동, 경산임당 호반베르디움)
백록현
경상북도 포항시 남구 청암로 77, LG연구동 215호(지곡동, 포항공과대학교)
(74) 대리인
(뒷면에 계속)
두호특허법인

전체 청구항 수 : 총 20 항

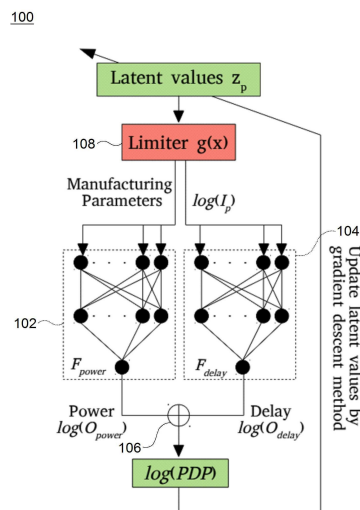
심사관 : 송근배

(54) 발명의 명칭 반도체 제조 파라미터 설정 방법 및 이를 수행하기 위한 컴퓨팅 장치

(57) 요약

반도체 제조 파라미터 설정 방법 및 이를 수행하기 위한 컴퓨팅 장치가 개시된다. 개시되는 일 실시예에 따른 반도체 제조 파라미터 설정 방법은, 하나 이상의 프로세서들, 및 하나 이상의 프로세서들에 의해 실행되는 하나 이상의 프로그램들을 저장하는 메모리를 구비한 컴퓨팅 장치에서 수행되는 방법으로서, 반도체의 제조를 위한 제조 파라미터들을 신경망 모델로 입력하는 동작 및 입력된 제조 파라미터를 기반으로 반도체의 전력 및 지연 중 하나 이상을 예측하도록 신경망 모델을 학습시키는 동작을 포함한다.

대표도 - 도4



(52) CPC특허분류

G06N 3/049 (2023.01)

(72) 발명자

윤준식

경상북도 포항시 남구 청암로 77, LG연구동 308호
(지곡동, 포항공과대학교)

윤혁

경상북도 포항시 남구 청암로 77, LG연구동 308호
(지곡동, 포항공과대학교)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711108360

과제번호 2018R1C1B6004056

부처명 과학기술정보통신부

과제관리(전문)기관명 한국연구재단

연구사업명 개인기초연구(과기정통부)(R&D)

연구과제명 도메인 변환 기법과 네트워크 압축 기법을 이용한 다목적 깊은 신경망의 학습 방법

과 이를 활용한 컴퓨터 비전 응용 연구

기 여 율 1/2

과제수행기관명 영남대학교

연구기간 2020.03.01 ~ 2021.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호 1711119549

과제번호 2020R1A4A4079777

부처명 과학기술정보통신부

과제관리(전문)기관명 한국연구재단

연구사업명 집단연구지원(R&D)

연구과제명 3D-NAND Flash의 초고난도 산업 난제 해결을 위한 융합형 메모리 AI 플랫폼 개발

기 여 율 1/2

과제수행기관명 포항공과대학교

연구기간 2020.07.01 ~ 2021.05.31

공지예외적용 : 있음

명세서

청구범위

청구항 1

하나 이상의 프로세서들, 및

상기 하나 이상의 프로세서들에 의해 실행되는 하나 이상의 프로그램들을 저장하는 메모리를 구비한 컴퓨팅 장치에서 수행되는 방법으로서,

반도체의 제조를 위한 제조 파라미터들을 신경망 모델로 입력하는 동작;

상기 입력된 각 제조 파라미터들에 대해 기 설정된 최소값 내지 최대값의 범위에서 상기 반도체의 전력 및 지연 중 하나 이상을 예측하도록 상기 신경망 모델을 학습시키는 동작;

상기 신경망 모델에서 예측하는 상기 전력 및 상기 지연에 기반하여 PDP(Power Delay Products)를 산출하는 동작; 및

학습된 상기 신경망 모델을 이용하여 상기 PDP를 최소화 하는 제조 파라미터들의 값을 추출하는 동작을 포함하고,

상기 PDP를 최소화 하는 제조 파라미터들의 값을 추출하는 동작은,

학습된 상기 신경망 모델에 경사 하강법(Gradient Descent Method)을 적용하여 상기 PDP를 최소화 하는 제조 파라미터들의 값을 추출하는, 반도체 제조 파라미터 설정 방법.

청구항 2

청구항 1에 있어서,

상기 신경망 모델로 입력하는 동작은,

상기 제조 파라미터들에 로그(log)를 취한 값을 상기 신경망 모델로 입력하는, 반도체 제조 파라미터 설정 방법.

청구항 3

삭제

청구항 4

청구항 1에 있어서,

상기 신경망 모델은,

각 제조 파라미터를 입력 받고, 입력 받은 각 제조 파라미터로부터 상기 반도체의 전력(Power)을 예측하도록 학습되는 제1 신경망 모델; 및

각 제조 파라미터를 입력 받고, 입력 받은 각 제조 파라미터로부터 상기 반도체의 지연(Delay)을 예측하도록 학습되는 제2 신경망 모델을 포함하는, 반도체 제조 파라미터 설정 방법.

청구항 5

청구항 4에 있어서,

상기 신경망 모델로 입력하는 동작은,

상기 제조 파라미터들에 로그(log)를 취한 값을 상기 신경망 모델로 입력하며,

상기 제1 신경망 모델 및 상기 제2 신경망 모델의 손실 함수는 하기의 수학식 1로 표현되는, 반도체 제조 파라미터 설정 방법.

(수학식 1)

$$L_y = \frac{1}{N} \sum_i^N \|\log(O_y^i) - \log(D_y^i)\|^2, y = \text{power or delay}$$

L_y : y=power인 경우 제1 신경망 모델의 손실 함수, y=delay인 경우 제2 신경망 모델의 손실 함수

N : 제1 신경망 모델 및 제2 신경망 모델의 학습 데이터 개수

i : i 번째 학습 데이터

$\log(O_y^i)$: i 번째 학습 데이터에 대한 제1 신경망 모델(y=power인 경우) 및 제2 신경망 모델(y=delay인 경우)의 예측 값

$\log(D_y^i)$: i 번째 학습 데이터에 대한 제1 신경망 모델(y=power인 경우) 및 제2 신경망 모델(y=delay인 경우)의 목표 값

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

청구항 1에 있어서,

상기 경사 하강법(Gradient Descent Method)을 적용하여 상기 PDP를 최소화 하는 제조 파라미터들의 값을 추출하는 동작은,

각 제조 파라미터의 초기값 및 상기 신경망 모델의 학습률을 설정하는 동작;

상기 제조 파라미터의 초기값에 대한 상기 PDP의 기울기를 산출하고, 상기 학습률을 이용하여 상기 PDP의 기울기를 음의 방향으로 이동시키기 위한 제조 파라미터를 업데이트하는 동작; 및

기 설정된 중단 조건이 만족할 때까지 상기 업데이트하는 동작을 반복하는 동작을 포함하는, 반도체 제조 파라미터 설정 방법.

청구항 10

청구항 9에 있어서,

상기 신경망 모델로 입력하는 동작은,

상기 제조 파라미터들에 로그(log)를 취한 값을 상기 신경망 모델로 입력하며,

상기 PDP의 기울기($G(x)$)는 하기 수학식 2를 통해 산출하고, 상기 제조 파라미터의 업데이트는 하기 수학식 3을 통해 수행되는, 반도체 제조 파라미터 설정 방법.

(수학식 2)

$$G(x) = \frac{d(\log(PDP))}{dx}$$

(수학식 3)

$$x^{t+1} = x^t - \gamma \cdot G(x^t), x^t = \log(I_p^t)$$

γ : 신경망 모델의 학습률

I_p^t : t 시간에 신경망 모델로 입력되는 제조 파라미터 값

x^t : t 시간에 신경망 모델로 입력되는 로그 스케일의 제조 파라미터 값

청구항 11

청구항 9에 있어서,

상기 기 설정된 중단 조건은,

산출된 상기 PDP가 기 설정된 목표치 이하가 되는 제1 조건, 상기 PDP의 기울기가 기 설정된 임계 기울기 이하가 되는 제2 조건, 및 상기 제조 파라미터의 업데이트 된 변화량이 기 설정된 임계 변화량 이하가 되는 제3 조건 중 하나 이상을 포함하는, 반도체 제조 파라미터 설정 방법.

청구항 12

청구항 9에 있어서,

상기 경사 하강법(Gradient Descent Method)을 적용하여 상기 PDP를 최소화 하는 제조 파라미터들의 값을 추출하는 동작은,

상기 제조 파라미터들이 기 학습된 최소값 내지 최대값의 범위 이내에서 상기 신경망 모델로 입력되도록 상기 제조 파라미터들의 입력되는 값의 범위를 제한하는 동작을 더 포함하는, 반도체 제조 파라미터 설정 방법.

청구항 13

청구항 12에 있어서,

상기 제조 파라미터들의 입력되는 값의 범위를 제한하는 동작은,

제한 없는 임의의 값을 가지는 잠재 값을 입력 받는 동작; 및

리미터 함수(Limiter Function)를 이용하여 상기 입력된 잠재 값이 상기 기 학습된 최소값 내지 최대값의 범위 내에 있도록 하여 상기 신경망 모델로 출력하는 동작을 포함하는, 반도체 제조 파라미터 설정 방법.

청구항 14

청구항 13에 있어서,

상기 신경망 모델로 입력하는 동작은,

상기 제조 파라미터들에 로그(log)를 취한 값을 상기 신경망 모델로 입력하며,

상기 잠재 값이 상기 기 학습된 최소값 내지 최대값의 범위 내에 있도록 하는 동작은 하기 수학식 4를 통해 구현되는, 반도체 제조 파라미터 설정 방법.

(수학식 4)

$$g(z_p) = \text{sig}(z_p) \cdot (\log(I_p^{\max}) - \log(I_p^{\min})) + \log(I_p^{\min})$$

$g(z_p)$: 리미터 함수(Limiter Function)

z_p : 잠재 값(Latent Value)

$I_p^{\min}$: 제조 파라미터의 기 학습된 최저값

$I_p^{\max}$: 제조 파라미터의 기 학습된 최대값

sig : 시그모이드 함수, $\text{sig}(z_p) = \frac{1}{1+e^{-z_p}}$

청구항 15

청구항 14에 있어서,

상기 PDP의 기울기($\hat{G}(x)$)는 하기 수학식 5를 통해 산출하고, 상기 제조 파라미터의 업데이트는 하기 수학식 6을 통해 수행되는, 반도체 제조 파라미터 설정 방법.

(수학식 5)

$$\hat{G}(x) = \frac{\log\left(PDP \cdot g\left(x + \frac{\tau}{2}\right)\right) - \log\left(PDP \cdot g\left(x - \frac{\tau}{2}\right)\right)}{\tau}, \tau \approx 0$$

(수학식 6)

$$x^{t+1} = x^t - \gamma \cdot \hat{G}(x^t), x^t = z_p^t$$

γ : 신경망 모델의 학습률

z_p^t : t 시간에 신경망 모델로 입력되는 잠재 값(제조 파라미터 값)

청구항 16

청구항 1에 있어서,

상기 반도체 제조 파라미터 설정 방법은,

각 제조 파라미터들에 대해 상기 PDP에 대한 PDP 민감도를 산출하는 동작을 더 포함하는, 반도체 제조 파라미터 설정 방법.

청구항 17

청구항 16에 있어서,

상기 PDP 민감도를 산출하는 동작은,

각 제조 파라미터의 최소 값 입력 시 산출되는 PDP 값과 각 제조 파라미터의 최대 값 입력 시 산출되는 PDP 값과의 차이를 통해 각 제조 파라미터의 상기 PDP 민감도를 산출하는, 반도체 제조 파라미터 설정 방법.

청구항 18

청구항 16에 있어서,

상기 PDP를 최소화 하는 제조 파라미터들의 값을 추출하는 동작은,

상기 각 제조 파라미터들 중 상기 PDP 민감도가 기 설정된 기준 이상이 되는 제조 파라미터들을 선택하는 동작을 포함하는, 반도체 제조 파라미터 설정 방법.

청구항 19

청구항 1에 있어서,

상기 반도체 제조 파라미터 설정 방법은,

각 제조 파라미터들에 대해 상기 전력에 대한 전력 민감도 및 상기 지연에 대한 지연 민감도를 각각 산출하는 동작을 더 포함하는, 반도체 제조 파라미터 설정 방법.

청구항 20

청구항 19에 있어서,

상기 전력 민감도를 산출하는 동작은, 각 제조 파라미터의 최소 값 입력 시 산출되는 전력 값과 각 제조 파라미터의 최대 값 입력 시 산출되는 전력 값과의 차이를 통해 각 제조 파라미터의 상기 전력 민감도를 산출하고,

상기 지연 민감도를 산출하는 동작은, 각 제조 파라미터의 최소 값 입력 시 산출되는 지연 값과 각 제조 파라미터의 최대 값 입력 시 산출되는 지연 값과의 차이를 통해 각 제조 파라미터의 상기 지연 민감도를 산출하는, 반도체 제조 파라미터 설정 방법.

청구항 21

청구항 19에 있어서,

상기 반도체 제조 파라미터 설정 방법은,

상기 전력 민감도 및 상기 지연 민감도를 기반으로 각 제조 파라미터들을 기 설정된 복수 개의 그룹으로 분류하는 동작을 더 포함하는, 반도체 제조 파라미터 설정 방법.

청구항 22

청구항 21에 있어서,

상기 각 제조 파라미터들을 기 설정된 복수 개의 그룹으로 분류하는 동작은,

상기 전력 및 상기 지연에 모두 둔감한 제조 파라미터들을 제1 그룹으로 분류하고, 상기 지연에만 민감한 제조 파라미터들을 제2 그룹으로 분류하며, 상기 전력에만 민감한 제조 파라미터들을 제3 그룹으로 분류하고, 상기 전력 및 상기 지연에 모두 민감한 제조 파라미터들을 제4 그룹으로 분류하며, 상기 전력 및 상기 지연에 모두 민감하지만 상호 반대 방향으로 민감한 제조 파라미터들을 제5 그룹으로 분류하는, 반도체 제조 파라미터 설정 방법.

청구항 23

하나 이상의 프로세서들;

메모리; 및

하나 이상의 프로그램들을 포함하고,

상기 하나 이상의 프로그램들은 상기 메모리에 저장되고, 상기 하나 이상의 프로세서들에 의해 실행되도록 구성되며,

상기 하나 이상의 프로그램들은,

반도체의 제조를 위한 제조 파라미터들을 신경망 모델로 입력하기 위한 명령;

상기 입력된 각 제조 파라미터들에 대해 기 설정된 최소값 내지 최대값의 범위에서 상기 반도체의 전력 및 지연 중 하나 이상을 예측하도록 상기 신경망 모델을 학습시키기 위한 명령;

상기 신경망 모델에서 예측하는 상기 전력 및 상기 지연에 기반하여 PDP(Power Delay Products)를 산출하기 위한 명령; 및

학습된 상기 신경망 모델을 이용하여 상기 PDP를 최소화 하는 제조 파라미터들의 값을 추출하기 위한 명령을 포함하고,

상기 PDP를 최소화 하는 제조 파라미터들의 값을 추출하기 위한 명령은,

학습된 상기 신경망 모델에 경사 하강법(Gradient Descent Method)을 적용하여 상기 PDP를 최소화 하는 제조 파라미터들의 값을 추출하도록 하는, 컴퓨팅 장치.

청구항 24

비일시적 컴퓨터 판독 가능한 저장 매체(non-transitory computer readable storage medium)에 저장된 컴퓨터 프로그램으로서,

상기 컴퓨터 프로그램은 하나 이상의 명령어들을 포함하고, 상기 명령어들은 하나 이상의 프로세서들을 갖는 컴퓨팅 장치에 의해 실행될 때, 상기 컴퓨팅 장치로 하여금,

반도체의 제조를 위한 제조 파라미터들을 신경망 모델로 입력하고,

상기 입력된 각 제조 파라미터들에 대해 기 설정된 최소값 내지 최대값의 범위에서 상기 반도체의 전력 및 지연 중 하나 이상을 예측하도록 상기 신경망 모델을 학습시키며,

상기 신경망 모델에서 예측하는 상기 전력 및 상기 지연에 기반하여 PDP(Power Delay Products)를 산출하도록 하고,

학습된 상기 신경망 모델을 이용하여 상기 PDP를 최소화 하는 제조 파라미터들의 값을 추출하도록 하며,

상기 PDP를 최소화 하는 제조 파라미터들의 값을 추출하는 것은,

학습된 상기 신경망 모델에 경사 하강법(Gradient Descent Method)을 적용하여 상기 PDP를 최소화 하는 제조 파라미터들의 값을 추출하도록 하는, 컴퓨터 프로그램.

발명의 설명

기술 분야

[0001] 개시되는 실시예는 반도체 제조 파라미터 설정 기술과 관련된다.

배경 기술

[0003] 트랜지스터 공정은 반도체 산업에서 가장 기본적인 핵심적인 기술이다. 따라서, 고성능 및 저전력의 트랜지스터를 개발하는 것이 매우 중요하다. 일반적으로, 고성능 및 저전력 트랜지스터에 대한 최적의 제조 매개 변수를

찾으려면, 전기 성능을 측정하기 위한 수백 개의 단위 공정 설계와 단위 공정 제조에 대한 피드백 루프를 수반하는 반복적인 웨이퍼 제조가 요구된다. 이러한 절차는 최대 몇 주가 걸릴뿐더러 연구 개발 비용을 크게 증가시키게 된다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 한국공개특허공보 제10-2019-0003909호(2019.01.10)

발명의 내용

해결하려는 과제

[0006] 개시되는 실시예는 반도체 성능을 최적화 할 수 있는 제조 파라미터를 찾기 위한 새로운 기법을 제공하기 위한 것이다.

과제의 해결 수단

[0008] 개시되는 일 실시예에 따른 반도체 제조 파라미터 설정 방법은, 하나 이상의 프로세서들, 및 상기 하나 이상의 프로세서들에 의해 실행되는 하나 이상의 프로그램들을 저장하는 메모리를 구비한 컴퓨팅 장치에서 수행되는 방법으로서, 반도체의 제조를 위한 제조 파라미터들을 신경망 모델로 입력하는 동작; 및 상기 입력된 제조 파라미터를 기반으로 상기 반도체의 전력 및 지연 중 하나 이상을 예측하도록 상기 신경망 모델을 학습시키는 동작을 포함한다.

[0009] 상기 신경망 모델로 입력하는 동작은, 상기 제조 파라미터들에 로그(log)를 취한 값을 상기 신경망 모델로 입력할 수 있다.

[0010] 상기 신경망 모델을 학습시키는 동작은, 상기 각 제조 파라미터들에 대해 기 설정된 최소값 내지 최대값의 범위에서 상기 반도체의 전력 및 지연 중 하나 이상을 예측하도록 학습시킬 수 있다.

[0011] 상기 신경망 모델은, 각 제조 파라미터를 입력 받고, 입력 받은 각 제조 파라미터로부터 상기 반도체의 전력(Power)을 예측하도록 학습되는 제1 신경망 모델; 및 각 제조 파라미터를 입력 받고, 입력 받은 각 제조 파라미터로부터 상기 반도체의 지연(Delay)을 예측하도록 학습되는 제2 신경망 모델을 포함할 수 있다.

[0012] 상기 신경망 모델로 입력하는 동작은, 상기 제조 파라미터들에 로그(log)를 취한 값을 상기 신경망 모델로 입력하며, 상기 제1 신경망 모델 및 상기 제2 신경망 모델의 손실 함수는 하기의 수학적 식 1로 표현될 수 있다.

[0013] (수학적 식 1)

$$L_y = \frac{1}{N} \sum_i^N \|\log(O_y^i) - \log(D_y^i)\|^2, y = \text{power or delay}$$

[0015] L_y : y=power인 경우 제1 신경망 모델의 손실 함수, y=delay인 경우 제2 신경망 모델의 손실 함수

[0016] N : 제1 신경망 모델 및 제2 신경망 모델의 학습 데이터 개수

[0017] i : i 번째 학습 데이터

[0018] $\log(O_y^i)$: i 번째 학습 데이터에 대한 제1 신경망 모델(y=power인 경우) 및 제2 신경망 모델(y=delay인 경우)의 예측 값

[0019] $\log(D_y^i)$: i 번째 학습 데이터에 대한 제1 신경망 모델(y=power인 경우) 및 제2 신경망 모델(y=delay인 경우)의 목표 값

[0020] 상기 신경망 모델은, 입력 받은 각 제조 파라미터로부터 상기 반도체의 전력 및 지연을 각각 예측하도록 학습되

고, 상기 반도체 제조 파라미터 설정 방법은, 상기 신경망 모델에서 예측하는 상기 전력 및 상기 지연에 기반하여 PDP(Power Delay Products)를 산출하는 동작을 더 포함할 수 있다.

[0021] 상기 반도체 제조 파라미터 설정 방법은, 학습된 상기 신경망 모델을 이용하여 상기 PDP를 최소화 하는 제조 파라미터들의 값을 추출하는 동작을 더 포함할 수 있다.

[0022] 상기 PDP를 최소화 하는 제조 파라미터들의 값을 추출하는 동작은, 학습된 상기 신경망 모델에 경사 하강법(Gradient Descent Method)을 적용하여 상기 PDP를 최소화 하는 제조 파라미터들의 값을 추출할 수 있다.

[0023] 상기 경사 하강법(Gradient Descent Method)을 적용하여 상기 PDP를 최소화 하는 제조 파라미터들의 값을 추출하는 동작은, 각 제조 파라미터의 초기값 및 상기 신경망 모델의 학습률을 설정하는 동작; 상기 제조 파라미터의 초기값에 대한 상기 PDP의 기울기를 산출하고, 상기 학습률을 이용하여 상기 PDP의 기울기를 음의 방향으로 이동시키기 위한 제조 파라미터를 업데이트하는 동작; 및 기 설정된 중단 조건이 만족할 때까지 상기 업데이트하는 동작을 반복하는 동작을 포함할 수 있다.

[0024] 상기 신경망 모델로 입력하는 동작은, 상기 제조 파라미터들에 로그(log)를 취한 값을 상기 신경망 모델로 입력하며, 상기 PDP의 기울기(G(x))는 하기 수학식 2를 통해 산출하고, 상기 제조 파라미터의 업데이트는 하기 수학식 3을 통해 수행될 수 있다.

[0025] (수학식 2)

$$G(x) = \frac{d(\log(PDP))}{dx}$$

[0027] (수학식 3)

$$x^{t+1} = x^t - \gamma \cdot G(x^t), x^t = \log(I_p^t)$$

[0029] γ : 신경망 모델의 학습률

[0030] I_p^t : t 시간에 신경망 모델로 입력되는 제조 파라미터 값

[0031] x^t : t 시간에 신경망 모델로 입력되는 로그 스케일의 제조 파라미터 값

[0032] 상기 기 설정된 중단 조건은, 산출된 상기 PDP가 기 설정된 목표치 이하가 되는 제1 조건, 상기 PDP의 기울기가 기 설정된 임계 기울기 이하가 되는 제2 조건, 및 상기 제조 파라미터의 업데이트 된 변화량이 기 설정된 임계 변화량 이하가 되는 제3 조건 중 하나 이상을 포함할 수 있다.

[0033] 상기 경사 하강법(Gradient Descent Method)을 적용하여 상기 PDP를 최소화 하는 제조 파라미터들의 값을 추출하는 동작은, 상기 제조 파라미터들이 기 학습된 최소값 내지 최대값의 범위 이내에서 상기 신경망 모델로 입력되도록 상기 제조 파라미터들의 입력되는 값의 범위를 제한하는 동작을 더 포함할 수 있다.

[0034] 상기 제조 파라미터들의 입력되는 값의 범위를 제한하는 동작은, 제한 없는 임의의 값을 가지는 잠재 값을 입력받는 동작; 및 리미터 함수(Limiter Function)를 이용하여 상기 입력된 잠재 값이 상기 기 학습된 최소값 내지 최대값의 범위 내에 있도록 하여 상기 신경망 모델로 출력하는 동작을 포함할 수 있다.

[0035] 상기 신경망 모델로 입력하는 동작은, 상기 제조 파라미터들에 로그(log)를 취한 값을 상기 신경망 모델로 입력하며, 상기 잠재 값이 상기 기 학습된 최소값 내지 최대값의 범위 내에 있도록 하는 동작은 하기 수학식 4를 통해 구현될 수 있다.

[0036] (수학식 4)

$$g(z_p) = \text{sig}(z_p) \cdot (\log(I_p^{\max}) - \log(I_p^{\min})) + \log(I_p^{\min})$$

[0038] $g(z_p)$: 리미터 함수(Limiter Function)

[0039] z_p : 잠재 값(Latent Value)

- [0040] I_p^{min} : 제조 파라미터의 기 학습된 최저값
- [0041] I_p^{max} : 제조 파라미터의 기 학습된 최대값
- [0042] sig : 시그모이드 함수, $sig(z_p) = \frac{1}{1+e^{-z_p}}$
- [0043] 상기 PDP의 기울기($\hat{G}(x)$)는 하기 수학적 식 5를 통해 산출하고, 상기 제조 파라미터의 업데이트는 하기 수학적 식 6을 통해 수행될 수 있다.
- [0044] (수학적 식 5)
- $$\hat{G}(x) = \frac{\log\left(PDP \cdot g\left(x + \frac{\tau}{2}\right)\right) - \log\left(PDP \cdot g\left(x - \frac{\tau}{2}\right)\right)}{\tau}, \tau \approx 0$$
- [0045]
- [0046] (수학적 식 6)
- $$x^{t+1} = x^t - \gamma \cdot \hat{G}(x^t), x^t = z_p^t$$
- [0047]
- [0048] γ : 신경망 모델의 학습률
- [0049] z_p^t : t 시간에 신경망 모델로 입력되는 잠재 값(제조 파라미터 값)
- [0050] 상기 반도체 제조 파라미터 설정 방법은, 각 제조 파라미터들에 대해 상기 PDP에 대한 PDP 민감도를 산출하는 동작을 더 포함할 수 있다.
- [0051] 상기 PDP 민감도를 산출하는 동작은, 각 제조 파라미터의 최소 값 입력 시 산출되는 PDP 값과 각 제조 파라미터의 최대 값 입력 시 산출되는 PDP 값과의 차이를 통해 각 제조 파라미터의 상기 PDP 민감도를 산출할 수 있다.
- [0052] 상기 PDP를 최소화 하는 제조 파라미터들의 값을 추출하는 동작은, 상기 각 제조 파라미터들 중 상기 PDP 민감도가 기 설정된 기준 이상이 되는 제조 파라미터들을 선택하는 동작을 포함할 수 있다.
- [0053] 상기 반도체 제조 파라미터 설정 방법은, 각 제조 파라미터들에 대해 상기 전력에 대한 전력 민감도 및 상기 지연에 대한 지연 민감도를 각각 산출하는 동작을 더 포함할 수 있다.
- [0054] 상기 전력 민감도를 산출하는 동작은, 각 제조 파라미터의 최소 값 입력 시 산출되는 전력 값과 각 제조 파라미터의 최대 값 입력 시 산출되는 전력 값과의 차이를 통해 각 제조 파라미터의 상기 전력 민감도를 산출하고, 상기 지연 민감도를 산출하는 동작은, 각 제조 파라미터의 최소 값 입력 시 산출되는 지연 값과 각 제조 파라미터의 최대 값 입력 시 산출되는 지연 값과의 차이를 통해 각 제조 파라미터의 상기 지연 민감도를 산출할 수 있다.
- [0055] 상기 반도체 제조 파라미터 설정 방법은, 상기 전력 민감도 및 상기 지연 민감도를 기반으로 각 제조 파라미터들을 기 설정된 복수 개의 그룹으로 분류하는 동작을 더 포함할 수 있다.
- [0056] 상기 각 제조 파라미터들을 기 설정된 복수 개의 그룹으로 분류하는 동작은, 상기 전력 및 상기 지연에 모두 민감한 제조 파라미터들을 제1 그룹으로 분류하고, 상기 지연에만 민감한 제조 파라미터들을 제2 그룹으로 분류하며, 상기 전력에만 민감한 제조 파라미터들을 제3 그룹으로 분류하고, 상기 전력 및 상기 지연에 모두 민감한 제조 파라미터들을 제4 그룹으로 분류하며, 상기 전력 및 상기 지연에 모두 민감하지만 상호 반대 방향으로 민감한 제조 파라미터들을 제5 그룹으로 분류할 수 있다.
- [0057] 개시되는 일 실시예에 따른 컴퓨팅 장치는, 하나 이상의 프로세서들; 메모리; 및 하나 이상의 프로그램들을 포함하고, 상기 하나 이상의 프로그램들은 상기 메모리에 저장되고, 상기 하나 이상의 프로세서들에 의해 실행되도록 구성되며, 상기 하나 이상의 프로그램들은, 반도체의 제조를 위한 제조 파라미터들을 신경망 모델로 입력하기 위한 명령; 및 상기 입력된 제조 파라미터를 기반으로 상기 반도체의 전력 및 지연 중 하나 이상을 예측하도록 상기 신경망 모델을 학습시키기 위한 명령을 포함한다.

발명의 효과

[0059] 개시되는 실시예에 의하면, 신경망 모델을 이용하여 각 제조 파라미터들에 대해 반도체의 성능을 판단하는 중요한 요소인 전력 및 지연을 예측하고 이를 통해 PDP(Power Delay Products)를 산출함으로써, 소요 시간을 최소화 하면서 전체적인 관점에서 반도체의 성능을 최적화 할 있는 제조 파라미터를 검출할 수 있게 된다.

[0060] 또한, 각 제조 파라미터의 PDP 민감도, 지연 민감도, 및 전력 민감도를 산출함으로써, 각 제조 파라미터들이 PDP, 지연, 및 전력에 어떠한 영향을 미치는지 그 상관 관계를 명확히 할 수 있으며, 이를 이용하여 PDP, 지연, 및 전력 등을 최적화 하기 위한 제조 파라미터 및 그 값을 설정할 수 있게 된다.

도면의 간단한 설명

- [0062] 도 1은 본 발명의 일 실시예에 따른 반도체 제조 파라미터 설정 장치의 신경망 모델을 나타낸 도면
- 도 2는 32nm 노드의 High-K Metal Gate(HKMG) 트랜지스터의 구조를 개략적으로 나타낸 도면
- 도 3은 32nm 노드의 High-K Metal Gate(HKMG) 트랜지스터의 제조 파라미터를 나타낸 도면
- 도 4는 개시되는 일 실시예에서 제1 신경망 모델 및 제2 신경망 모델에 경사 하강법(Gradient Descent Method)을 적용하는 상태를 개략적으로 나타낸 도면
- 도 5는 개시되는 일 실시예에서 각 반복 횟수에 대한 PDP 값을 측정하고, 측정된 PDP 값의 평균 및 표준 편차를 계산한 상태를 나타낸 도표
- 도 6은 본 발명의 실시예에서 각 제조 파라미터의 변화에 따른 PDP 값의 변화를 나타낸 그래프
- 도 7은 본 발명의 실시예에서 각 제조 파라미터의 변화에 따른 지연의 변화를 나타낸 그래프
- 도 8은 본 발명의 실시예에서 각 제조 파라미터의 변화에 따른 전력의 변화를 나타낸 그래프
- 도 9는 본 발명의 일 실시예에서 각 제조 파라미터의 PDP 민감도(dy)를 내림차순으로 나타낸 도표
- 도 10은 본 발명의 일 실시예에서 각 제조 파라미터들을 지연 민감도 및 전력 민감도에 따라 분류한 상태를 나타낸 도표
- 도 11은 본 발명의 일 실시예에 따른 반도체 제조 파라미터 설정 방법을 나타낸 흐름도
- 도 12는 예시적인 실시예들에서 사용되기에 적합한 컴퓨팅 장치를 포함하는 컴퓨팅 환경을 예시하여 설명하기 위한 블록도

발명을 실시하기 위한 구체적인 내용

[0063] 이하, 도면을 참조하여 본 발명의 구체적인 실시형태를 설명하기로 한다. 이하의 상세한 설명은 본 명세서에서 기술된 방법, 장치 및/또는 시스템에 대한 포괄적인 이해를 돕기 위해 제공된다. 그러나 이는 예시에 불과하며 본 발명은 이에 제한되지 않는다.

[0064] 본 발명의 실시예들을 설명함에 있어서, 본 발명과 관련된 공지기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하기로 한다. 그리고, 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다. 상세한 설명에서 사용되는 용어는 단지 본 발명의 실시예들을 기술하기 위한 것이며, 결코 제한적이어서는 안 된다. 명확하게 달리 사용되지 않는 한, 단수 형태의 표현은 복수 형태의 의미를 포함한다. 본 설명에서, "포함" 또는 "구비"와 같은 표현은 어떤 특성들, 숫자들, 단계들, 동작들, 요소들, 이들의 일부 또는 조합을 가리키기 위한 것이며, 기술된 것 이외에 하나 또는 그 이상의 다른 특성, 숫자, 단계, 동작, 요소, 이들의 일부 또는 조합의 존재 또는 가능성을 배제하도록 해석되어서는 안 된다.

[0065] 이하의 설명에 있어서, 신호 또는 정보의 "전송", "통신", "송신", "수신" 기타 이와 유사한 의미의 용어는 일 구성요소에서 다른 구성요소로 신호 또는 정보가 직접 전달되는 것뿐만이 아니라 다른 구성요소를 거쳐 전달되는 것도 포함한다. 특히 신호 또는 정보를 일 구성요소로 "전송" 또는 "송신"한다는 것은 그 신호 또는 정보의 최종 목적지를 지시하는 것이고 직접적인 목적지를 의미하는 것이 아니다. 이는 신호 또는 정보의 "수신"에 있어서도 동일하다. 또한 본 명세서에 있어서, 2 이상의 데이터 또는 정보가 "관련"된다는 것은 하나의 데이터(또는 정보)를 획득하면, 그에 기초하여 다른 데이터(또는 정보)의 적어도 일부를 획득할 수 있음을 의미한다.

- [0066] 또한, 제1, 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성 요소는 제2 구성 요소로 명명될 수 있고, 유사하게 제2 구성 요소도 제1 구성 요소로 명명될 수 있다.
- [0068] 도 1은 본 발명의 일 실시예에 따른 반도체 제조 파라미터 설정 장치의 신경망 모델을 나타낸 도면이다.
- [0069] 도 1을 참조하면, 반도체 제조 파라미터 설정 장치(100)는 인공 신경망(Artificial Neural Network)을 통해 반도체 제조 파라미터를 최적화하여 설정 할 수 있다. 즉, 반도체 제조 파라미터 설정 장치(100)는 인공 신경망을 기반으로 반도체 성능을 최적화 할 수 있는 제조 파라미터를 산출하도록 학습할 수 있다. 이하에서, 설명의 편의상 반도체는 트랜지스터인 것을 일 예로 하여 설명하기로 한다. 그러나, 이에 한정되는 것은 아니며 트랜지스터 이외에 다른 종류의 반도체 및 복수 개가 연결된 형태의 반도체에도 적용될 수 있음은 물론이다.
- [0070] 반도체 제조 파라미터 설정 장치(100)는 제1 신경망 모델(102) 및 제2 신경망 모델(104)을 포함할 수 있다. 제1 신경망 모델(102) 및 제2 신경망 모델(104)로 각각 트랜지스터 제조 파라미터(이하, 제조 파라미터라 지칭할 수 있음)가 입력될 수 있다. 트랜지스터 제조 파라미터는 트랜지스터를 제조하는데 사용되는 파라미터이다.
- [0071] 도 2는 32nm 노드의 High-K Metal Gate(HKMG) 트랜지스터의 구조를 개략적으로 나타낸 도면이고, 도 3은 32nm 노드의 High-K Metal Gate(HKMG) 트랜지스터의 제조 파라미터를 나타낸 도면이다.
- [0072] 도 2 및 도 3을 참조하면, 트랜지스터의 제조 파라미터는 게이트 길이(Gate Length : L_g), 스페이서 길이(Spacer Length : $L_{sp(s/d)}$), 콘택트 길이(Contact Length : $L_{con(s/d)}$), 옥사이드 두께(Oxide Thickness : T_{ox}), High-K 두께(High-K Thickness : T_{hk}), 도핑 농도(Doping Concentration: N_{ch} , $N_{halo(s/d)}$, $N_{sd(s/d)}$), 접합 기울기(Junction Gradient : $L_{haloj(s/d)}$, $L_{sdj(s/d)}$), 게이트 스택 높이(Gate Stack Height : T_g), 및 S/D epi height($T_{sd(s/d)}$)을 포함할 수 있다.
- [0073] 또한, 트랜지스터의 제조 파라미터는 그 이외에 도 2의 트랜지스터를 제조하는데 필요한 모든 종류의 물질, 물질의 물리적 및 화학적 특성 값, 및 물질을 다루는 장비의 셋팅 값 등이 포함될 수 있다.
- [0074] 여기서, 각 제조 파라미터는 도 3에 도시된 최소 값(Min) 내지 최대 값(Max)의 범위에서 제1 신경망 모델(102) 및 제2 신경망 모델(104)로 입력되어 학습될 수 있다.
- [0075] 여기서는, 트랜지스터가 32nm 노드의 High-K Metal Gate(HKMG) 트랜지스터인 것을 일 실시예로 하여 그 구조 및 제조 파라미터를 설명하였으나, 트랜지스터가 이에 한정되는 것은 아니며 그 이외의 다양한 종류의 구조 및 물질이 사용된 트랜지스터가 적용될 수 있다. 이 경우, 트랜지스터에 따라 제조 파라미터 및 제조 파라미터의 수치(예를 들어, 최소 값(Min) 및 최대 값(Max) 등)가 달라질 수 있다.
- [0076] 예시적인 실시예에서, 제1 신경망 모델(102) 및 제2 신경망 모델(104)로는 로그(Log)가 취하여진 각 제조 파라미터가 입력될 수 있다. 즉, 로그 스케일의 제조 파라미터가 제1 신경망 모델(102) 및 제2 신경망 모델(104)로 각각 입력될 수 있다.
- [0077] 제1 신경망 모델(102)은 로그 스케일의 각 제조 파라미터를 입력 받고, 로그 스케일의 각 제조 파라미터로부터 트랜지스터의 전력(Power)을 예측(즉, 입력되는 제조 파라미터에 따라 트랜지스터를 제조한 경우 트랜지스터의 소모 전력을 예측)하도록 학습될 수 있다. 제1 신경망 모델(102)은 입력되는 로그 스케일의 제조 파라미터들로부터 트랜지스터의 로그 스케일의 전력($\log(O_{power})$)을 출력하도록 학습될 수 있다. 제1 신경망 모델(102)은 아래의 수학적 식 1과 같이 표현될 수 있다.
- [0078] (수학적 식 1)
- [0079] $\log(O_{power}) = F_{power}(\log(I_p))$
- [0080] 여기서, F_{power} 는 제1 신경망 모델(102)을 구성하는 신경망을 나타내고, I_p 는 제조 파라미터를 나타낼 수 있다.
- [0081] 제2 신경망 모델(104)은 로그 스케일의 각 제조 파라미터를 입력 받고, 로그 스케일의 각 제조 파라미터로부터 트랜지스터의 지연(Delay)을 예측하도록 학습될 수 있다. 여기서, 지연은 트랜지스터의 입력 및 출력 간 지연을 의미할 수 있으나, 이에 한정되는 것은 지연은 트랜지스터의 동작 주파수를 의미할 수도 있다(지연은 시간 차원을 가지며, 시간의 역수는 주파수임). 제2 신경망 모델(104)은 입력되는 로그 스케일의 제조 파라미터들로부터

트랜지스터의 로그 스케일의 지연($\log(O_{\text{delay}})$)을 출력하도록 학습될 수 있다. 제2 신경망 모델(104)은 아래의 수식 2와 같이 표현될 수 있다.

(수학식 1)

$$\log(O_{\text{delay}}) = F_{\text{delay}}(\log(I_p))$$

여기서, F_{delay} 는 제2 신경망 모델(104)을 구성하는 신경망을 나타낼 수 있다.

제1 신경망 모델(102)과 제2 신경망 모델(104)은 입력 값(즉, 제조 파라미터)과 출력 값(즉, 전력 및 지연)에 모두 로그 스케일을 적용하였는데, 이는 입력 값과 출력 값 간의 스케일 차이가 큰 것으로 인한 신경망 학습의 실패를 방지하기 위한 것이다. 여기서는, 제조 파라미터에 로그를 취하여 입력 값을 정규화 하는 것으로 설명하였으나, 이에 한정되는 것은 아니며 그 이외의 다양한 방법을 통해 입력 값을 정규화 할 수 있다.

제1 신경망 모델(102)은 제1 신경망 모델(102)에서 출력되는 전력 값(예측된 전력 값)과 기 설정된 목표 전력 값의 차이가 최소화 되도록 학습될 수 있다. 제2 신경망 모델(104)은 제2 신경망 모델(104)에서 출력되는 지연(예측된 지연)과 기 설정된 목표 지연과의 차이가 최소화 되도록 학습될 수 있다. 이것을 수식 3으로 표현할 수 있다.

(수학식 3)

$$L_y = \frac{1}{N} \sum_i^N \|\log(O_y^i) - \log(D_y^i)\|^2, y = \text{power or delay}$$

여기서, L_y 는 제1 신경망 모델(102)($y=\text{power}$ 인 경우) 및 제2 신경망 모델(104)($y=\text{delay}$ 인 경우)의 손실 함수를 나타낼 수 있다. N 은 제1 신경망 모델(102) 및 제2 신경망 모델(104)의 학습 데이터 개수를 나타내고, i 는 i 번째 학습 데이터를 나타낼 수 있다.

$\log(O_y^i)$ 는 i 번째 학습 데이터에 대한 제1 신경망 모델(102)($y=\text{power}$ 인 경우) 및 제2 신경망 모델(104)($y=\text{delay}$ 인 경우)의 출력 값(예측 값)을 나타내고, $\log(D_y^i)$ 는 i 번째 학습 데이터에 대한 제1 신경망 모델(102)($y=\text{power}$ 인 경우) 또는 제2 신경망 모델(104)($y=\text{delay}$ 인 경우)의 목표 값을 나타낼 수 있다.

수식 3에 의하면, 로그 스케일에서 손실 함수(L_y)를 최소화 하는 것은 로그 스케일의 출력 값과 목표 값의 비

율(즉, $\left| \log\left(\frac{O_y^i}{D_y^i}\right) \right|$)을 최소화 하는 것일 수 있다. 이와 같이, 단순히 출력 값과 목표 값의 차이를 최소화하는 것이 아니라 로그 스케일의 출력 값과 목표 값의 비율을 최소화 하도록 함으로써, 목표 값이 크든 작든지 관계 없이 에러를 일정 수준으로 유지하여 학습 할 수 있게 된다.

여기서는 제1 신경망 모델(102)을 통해 전력을 예측하고, 제2 신경망 모델(104)을 통해 지연을 예측하는 것으로 설명하였으나, 이에 한정되는 것은 아니며 하나의 신경망 모델을 통해 전력 및 지연을 모두 예측하도록 구성할 수도 있다.

한편, PDP(Power Delay Products: PDP)는 트랜지스터의 성능 측정에 일반적으로 사용되는 방법으로, 전력(Power)과 지연(Delay)를 곱한 값으로 나타낼 수 있다. 여기서, PDP가 작을수록 트랜지스터의 성능이 우수함을 나타낼 수 있다. 즉, 전력이 낮고 지연이 짧을수록 트랜지스터의 성능이 우수함을 나타낼 수 있다.

반도체 제조 파라미터 설정 장치(100)는 로그 스케일의 전력 및 지연을 출력하기 때문에, 로그 스케일의 PDP는 수식 4와 같이 두 출력의 합으로 표현될 수 있다. 여기서, $x=\log(I_p)$ 이다.

(수학식 4)

$$\text{Log}(\text{PDP}(x)) = \log(O_{\text{power}}(x) \cdot O_{\text{delay}}(x)) = \log(O_{\text{power}}(x)) + \log(O_{\text{delay}}(x))$$

반도체 제조 파라미터 설정 장치(100)는 로그 스케일의 PDP를 최소화 할 수 있는 최적의 제조 파라미터들의 값을 검출할 수 있다. 개시되는 실시예에서는, 제1 신경망 모델(102) 및 제2 신경망 모델(104)에 경사 하강법

(Gradient Descent Method)을 적용하여 로그 스케일의 PDP를 최소화하는 제조 파라미터들의 값을 검출할 수 있다.

[0098] 도 4는 개시되는 일 실시예에서 제1 신경망 모델(102) 및 제2 신경망 모델(104)에 경사 하강법(Gradient Descent Method)을 적용하는 상태를 개략적으로 나타낸 도면이다.

[0099] 도 4를 참조하면, 반도체 제조 파라미터 설정 장치(100)는 제1 신경망 모델(102)에서 출력되는 로그 스케일의 전력($\log(O_{power})$)과 제2 신경망 모델(104)에서 출력되는 로그 스케일의 지연($\log(O_{delay})$)을 더하여 로그 스케일의 PDP를 출력하는 합산부(106)를 더 포함할 수 있다.

[0100] 도 4를 참조하여 경사 하강법에 대해 설명하면, 반도체 제조 파라미터 설정 장치(100)는 랜덤하게 선택되는 초기 제조 파라미터(I_p^0) 및 학습률(γ)을 설정할 수 있다.

[0101] 다음으로, 반도체 제조 파라미터 설정 장치(100)는 수학적 식 5에 나타낸 바와 같이, 초기 제조 파라미터(I_p^0)를 가지고 제조 파라미터에 대한 로그 스케일 PDP의 기울기($G(x)$)를 계산할 수 있다(제1 단계). 여기서, $x = \log(I_p^0)$ 이다.

[0102] (수학적 식 5)

$$G(x) = \frac{d(\log(PDP))}{dx} = \frac{dF_{power}}{dx} + \frac{dF_{delay}}{dx}(x)$$

[0104] 다음으로, 반도체 제조 파라미터 설정 장치(100)는 수학적 식 6에 나타낸 바와 같이, 타임 스탬프 $t=0$ 에서 학습률(γ)을 사용하여 로그 스케일 PDP의 기울기($G(x)$)를 음의 방향으로 이동시키기 위해 제조 파라미터(여기서는 초기 제조 파라미터)를 업데이트 할 수 있다(제2 단계).

[0105] (수학적 식 6)

$$x^{t+1} = x^t - \gamma \cdot G(x^t), x^t = \log(I_p^t)$$

[0107] 다음으로, 반도체 제조 파라미터 설정 장치(100)는 시간 t 를 증가시키면서 제1 단계와 제2 단계를 반복 수행할 수 있다. 즉, 반도체 제조 파라미터 설정 장치(100)는 시간 t 를 1 증가시킨 상태에서 수학적 식 5를 통해 로그 스케일 PDP의 기울기를 계산하고, 수학적 식 6을 통해 $t=1$ 에서 로그 스케일 PDP의 기울기를 음의 방향으로 이동시키기 위해 제조 파라미터를 업데이트 하며, 이러한 과정을 반복 수행할 수 있다.

[0108] 이때, 반도체 제조 파라미터 설정 장치(100)는 기 설정된 중단 조건을 만족할 때까지 제1 단계와 제2 단계를 반복 수행할 수 있다. 여기서, 기 설정된 중단 조건은 합산부(106)에서 출력되는 로그 스케일의 PDP가 기 설정된 목표치 이하인 경우일 수 있다(제1 조건). 또한, 기 설정된 중단 조건은 로그 스케일 PDP의 기울기($G(x)$)가 기 설정된 임계 기울기 이하인 경우일 수 있다(제2 조건).

[0109] 또한, 기 설정된 중단 조건은 제조 파라미터의 변화량(즉, 제조 파라미터의 이전 시간에 비하여 변화된 량)이 기 설정된 임계 변화량 이하인 경우일 수 있다(제3 조건).

[0110] 반도체 제조 파라미터 설정 장치(100)는 제1 조건, 제2 조건, 및 제3 조건 중 어느 하나가 만족될 때까지 제1 단계와 제2 단계를 반복 수행할 수 있다. 반도체 제조 파라미터 설정 장치(100)는 기 설정된 중단 조건이 만족되는 경우, 해당 제조 파라미터의 값을 로그 스케일의 PDP를 최소화하는 최적의 제조 파라미터의 값으로 검출할 수 있다.

[0111] 한편, 경사 하강법을 통해 검출되는 최적의 제조 파라미터들의 값이 반도체 제조 공정에서 실제 제어 가능한 범위에 있다고 보장할 수 없다. 예를 들어, 경사 하강법을 통해 검출되는 최적의 제조 파라미터가 도 3에 도시된 제조 파라미터의 최소값 내지 최대값의 범위(즉, 제1 신경망 모델(102) 및 제2 신경망 모델(104)이 학습한 범위)를 벗어날 수 있다.

[0112] 이를 위해, 반도체 제조 파라미터 설정 장치(100)는 경사 하강법을 통해 검출되는 최적의 제조 파라미터가 제1 신경망 모델(102) 및 제2 신경망 모델(104)에서 학습된 제조 파라미터의 범위(즉, 최소값 내지 최대값)를 벗어나지 않도록 하기 위한 리미터(Limiter)부(108)를 더 포함할 수 있다.

[0113] 리미터부(108)는 제조 파라미터가 기 학습된 범위(즉, 최소값 내지 최대값) 이내에서 제1 신경망 모델(102) 및 제2 신경망 모델(104)로 입력되도록 제조 파라미터의 입력되는 값의 범위를 제한할 수 있다. 이때, 리미터부(108)는 제한 없는 임의의 값(즉, $-\infty \sim +\infty$)을 가지는 잠재 값(Latent Value)을 입력 받고, 리미터 함수(Limiter Function)를 이용하여 잠재 값이 제조 파라미터의 기 학습된 범위 내에 있도록 하여 출력할 수 있다. 이것은 하기의 수학적 식 7을 통해 표현할 수 있다.

[0114] (수학적 식 7)

$$[0115] \quad g(z_p) = \text{sig}(z_p) \cdot (\log(I_p^{\max}) - \log(I_p^{\min})) + \log(I_p^{\min})$$

[0116] $g(z_p)$: 리미터 함수(Limiter Function)

[0117] z_p : 잠재 값(Latent Value)

[0118] $I_p^{\min}$: 제조 파라미터의 제어 가능한 범위의 최저값

[0119] $I_p^{\max}$: 제조 파라미터의 제어 가능한 범위의 최대값

[0120] sig : 시그모이드 함수, $\text{sig}(z_p) = \frac{1}{1+e^{-z_p}}$

[0121] 여기서, 리미터 함수인 $g(z_p)$ 의 출력 범위는 0부터 1까지이므로, 잠재 값(z_p)이 $+\infty$ 로 가게 되면 $g(z_p) = \log(I_p^{\max})$ 가 되게 되고, 잠재 값(z_p)이 $-\infty$ 로 가게 되면 $g(z_p) = \log(I_p^{\min})$ 가 되게 된다. 그러므로, 리미터 함수에서 출력되는 값의 범위는 제조 파라미터의 제어 가능한 범위(최저값 ~ 최대값)에 속하게 된다.

[0122] 예시적인 실시예에서, 리미터 함수를 이용한 경사 하강법은 하기의 수학적 식 7 및 수학적 식 8을 통해 표현될 수 있다. 여기서는, 수치 효율을 위해 신경망 함수의 복잡한 분석적 기울기(Analytic Gradient)(수학적 식 5의 $G(x)$)를 구하기 보다는 수치적 기울기(Numerical Gradient)(수학적 식 7의 $\hat{G}(x)$)를 구하는 방법을 사용하였다.

[0123] (수학적 식 7)

$$[0124] \quad \hat{G}(x) = \frac{\log\left(PDP \cdot g\left(x + \frac{\tau}{2}\right)\right) - \log\left(PDP \cdot g\left(x - \frac{\tau}{2}\right)\right)}{\tau}$$

[0125] (수학적 식 8)

$$[0126] \quad x^{t+1} = x^t - \gamma \cdot \hat{G}(x^t), x^t = z_p^t$$

[0127] 여기서, $\tau \approx 0$ (즉, τ 는 0에 가까운 수)일 수 있다. 즉, 수학적 식 7에서는 제조 파라미터 입력 x 에 대해 $x + \frac{\tau}{2}$ 인 경우의 증가분과 $x - \frac{\tau}{2}$ 인 경우의 감소분 간의 평균을 통해 제조 파라미터에 대한 로그 스케일 PDP의 수치적 기울기($\hat{G}(x)$)를 계산할 수 있다.

[0128] 이와 같이, 리미터부(108)를 통해 제조 파라미터가 기 학습된 범위(즉, 최소값 내지 최대값) 이내에서 제1 신경망 모델(102) 및 제2 신경망 모델(104)로 입력되도록 제조 파라미터의 입력되는 값의 범위를 제한한 상태에서 경사 하강법을 수행함으로써, 해당 트랜지스터의 PDP(Power Delay Products)를 최소화 할 수 있는 최적의 제조 파라미터를 추출할 수 있게 된다.

[0129] 반도체 제조 파라미터 설정 장치(100)는 안정적인 최적의 결과를 얻기 위해 최적화 과정을 반복적으로 수행할 수 있다. 이때, 반도체 제조 파라미터 설정 장치(100)는 도 5에 도시된 바와 같이, 최적의 반복 횟수를 찾기 위해 각 반복 횟수에 대한 PDP 값을 측정하고, 측정된 PDP 값의 평균 및 표준 편차를 계산할 수 있다.

- [0130] 도 5를 참조하면, 반복 횟수가 10 이상이고 표준 편차가 0.0002×10^{-18} 로 감소할 때, PDP 값이 약 0.3066×10^{-15} 에서 포화됨을 확인할 수 있다. 그리고, 반복 횟수가 20일 때 지연 및 전력은 각각 최적으로 예측된 값인 0.1685×10^{-11} 및 0.1819×10^{-3} 으로 수렴되고, 표준 편차도 각각 0.0005×10^{-13} 및 0.0006×10^{-5} 로 매우 작은 것을 볼 수 있다. 반도체 제조 파라미터 설정 장치(100)는 이러한 결과들을 이용하여 최적의 반복 횟수를 결정할 수 있다.
- [0132] 한편, 반도체 제조 파라미터 설정 장치(100)는 각 제조 파라미터가 해당 트랜지스터의 PDP 값(전력 및 지연도 포함)에 어느 정도 영향을 미치는지 분석할 수 있다.
- [0133] 도 6은 본 발명의 실시예에서 각 제조 파라미터의 변화에 따른 PDP 값의 변화를 나타낸 그래프이고, 도 7은 본 발명의 실시예에서 각 제조 파라미터의 변화에 따른 지연의 변화를 나타낸 그래프이며, 도 8은 본 발명의 실시예에서 각 제조 파라미터의 변화에 따른 전력의 변화를 나타낸 그래프이다. 여기서는, 도 3에 도시된 각 제조 파라미터의 최소값부터 최대값까지의 변화에 따른 PDP 값, 지연, 및 전력의 변화에 대해 나타내었다.
- [0134] 반도체 제조 파라미터 설정 장치(100)는 각 제조 파라미터에 대해 해당 제조 파라미터의 최소 값 입력 시 PDP 값과 해당 제조 파라미터의 최대 값 입력 시 PDP 값과의 차이를 통해 PDP 민감도를 산출할 수 있다. 여기서, PDP 민감도는 제조 파라미터가 성능 지수(즉, PDP)에 얼마나 영향을 미치는지를 나타낼 수 있다. 도 9는 본 발명의 일 실시예에서 각 제조 파라미터의 PDP 민감도(dy)를 내림차순으로 나타낸 도표이다.
- [0135] 반도체 제조 파라미터 설정 장치(100)는 각 제조 파라미터의 PDP 민감도를 통해 최적의 PDP를 얻기 위한 제조 파라미터를 선택할 수 있다. 즉, 도 9를 참조하면, 제조 파라미터들 중 $L_{\text{con}(d)}$, $L_{\text{haloj}(s)}$ 등은 PDP 민감도가 매우 낮은 것을 볼 수 있다. 이는 $L_{\text{con}(d)}$, $L_{\text{haloj}(s)}$ 의 변화가 PDP 값에 거의 영향을 주지 않는 것을 의미한다. 따라서, 반도체 제조 파라미터 설정 장치(100)는 각 제조 파라미터들 중 PDP 민감도가 기 설정된 기준 이상이 되는 제조 파라미터들을 선택하여 최적의 PDP를 얻는데 사용할 수 있다.
- [0136] 또한, 반도체 제조 파라미터 설정 장치(100)는 각 제조 파라미터들을 대상으로 전력 및 지연에 대한 민감도를 각각 산출할 수 있다. 즉, 반도체 제조 파라미터 설정 장치(100)는 각 제조 파라미터에 대해 해당 제조 파라미터의 최소 값 입력 시 전력 값과 해당 제조 파라미터의 최대 값 입력 시 전력 값과의 차이를 통해 전력 민감도를 산출할 수 있다. 반도체 제조 파라미터 설정 장치(100)는 각 제조 파라미터에 대해 해당 제조 파라미터의 최소 값 입력 시 지연과 해당 제조 파라미터의 최대 값 입력 시 지연과의 차이를 통해 지연 민감도를 산출할 수 있다.
- [0137] 반도체 제조 파라미터 설정 장치(100)는 각 제조 파라미터들의 전력 민감도 및 지연 민감도를 기반으로 제조 파라미터들을 기 설정된 복수 개의 그룹으로 분류할 수 있다. 도 10은 본 발명의 일 실시예에서 각 제조 파라미터들을 지연 민감도 및 전력 민감도에 따라 분류한 상태를 나타낸 도표이다.
- [0138] 구체적으로, 반도체 제조 파라미터 설정 장치(100)는 각 제조 파라미터들의 전력 민감도 및 지연 민감도에 따라 각 제조 파라미터들을 양쪽 모두에 둔감한 제1 그룹, 지연에만 민감한 제2 그룹, 전력에만 민감한 제3 그룹, 양쪽 모두 민감한 제4 그룹, 및 양쪽 모두 민감하지만 반대 방향으로 민감한 제5 그룹으로 분류할 수 있다. 여기서, (지연 민감도, 전력 민감도)로 나타내면 제1 그룹은 (0, 0), 제2 그룹은 ($\pm$, 0), 제3 그룹은 (0, $\pm$), 제4 그룹은 ($\pm$, $\pm$), 제5 그룹은 ($\pm$, $\mp$)으로 나타낼 수 있다.
- [0139] 도 9에서 매우 낮은 PDP 민감도를 갖는 $L_{\text{cond}(s/d)}$, $L_{\text{haloj}(d)}$, 및 T_g 는 양쪽 모두에 둔감한 제1 그룹(0,0)에 속하는 것을 볼 수 있으며, 최적화 프로세스에 전혀 영향을 주지 못하는 것을 볼 수 있다. PDP 민감도가 낮은 N_{ch} 와 $L_{\text{haloj}(s)}$ 는 양쪽 모두 민감하지만 반대 방향으로 민감한 제5 그룹($\pm$, $\mp$)에 속하는 것을 볼 수 있으며, 이러한 제조 파라미터는 PDP를 변경하지 않고 트랜지스터의 지연 및 전력을 제어하는데 유용함을 확인할 수 있다.
- [0140] 또한, $L_{\text{sdj}(d)}$ 와 같이 제2 그룹($\pm$, 0) 또는 T_{ox} 와 같이 제3 그룹(0, $\pm$)에 속하는 제조 파라미터는 트랜지스터의 지연 또는 전력을 독립적으로 제어하는데 효과적임을 알 수 있다.
- [0141] 이와 같이, 각 제조 파라미터의 PDP 민감도, 지연 민감도, 및 전력 민감도를 산출함으로써, 각 제조 파라미터들이 PDP, 지연, 및 전력에 어떠한 영향을 미치는지 그 상관 관계를 명확히 할 수 있으며, 이를 이용하여 PDP, 지연, 및 전력 등을 최적화 하기 위한 제조 파라미터 및 그 값을 설정할 수 있게 된다.

- [0143] 도 11은 본 발명의 일 실시예에 따른 반도체 제조 파라미터 설정 방법을 나타낸 흐름도이다. 도시된 흐름도에서는 상기 방법을 복수 개의 단계로 나누어 기재하였으나, 적어도 일부의 단계들은 순서를 바꾸어 수행되거나, 다른 단계와 결합되어 함께 수행되거나, 생략되거나, 세부 단계들로 나뉘어 수행되거나, 또는 도시되지 않은 하나 이상의 단계가 추가되어 수행될 수 있다.
- [0144] 도 11을 참조하면, 반도체 제조 파라미터 설정 장치(100)는 트랜지스터의 각 제조 파라미터들에 로그(log)를 취하여 제1 신경망 모델(102) 및 제2 신경망 모델(104)로 입력한다(S 101).
- [0145] 다음으로, 반도체 제조 파라미터 설정 장치(100)는 로그 스케일의 각 제조 파라미터로부터 트랜지스터의 전력(Power) 및 지연(Delay)을 예측하도록 제1 신경망 모델(102) 및 제2 신경망 모델(104)을 학습한다(S 103). 여기서, 반도체 제조 파라미터 설정 장치(100)는 예측된 전력 및 지연을 기반으로 트랜지스터의 PDP(Power Delay Products)를 산출할 수 있다.
- [0146] 다음으로, 반도체 제조 파라미터 설정 장치(100)는 제1 신경망 모델(102) 및 제2 신경망 모델(104)에 경사 하강법을 적용하여 로그 스케일의 PDP를 최소화하는 제조 파라미터들의 값을 검출한다(S 105).
- [0147] 여기서, 반도체 제조 파라미터 설정 장치(100)는 리미터 함수를 이용하여 제조 파라미터가 기 학습된 최소값 내지 최대값의 범위 내에서 제1 신경망 모델(102) 및 제2 신경망 모델(104)로 입력되도록 제조 파라미터의 입력되는 값의 범위를 제한할 수 있다.
- [0148] 다음으로, 반도체 제조 파라미터 설정 장치(100)는 각 제조 파라미터에 대해 PDP 민감도를 산출한다(S 107).
- [0149] 다음으로, 반도체 제조 파라미터 설정 장치(100)는 각 제조 파라미터들 중 PDP 민감도에 따라 PDP를 최소화 하는 제조 파라미터를 선택한다(S 109). 반도체 제조 파라미터 설정 장치(100)는 각 제조 파라미터들 중 PDP 민감도가 기 설정된 기준 이상이 되는 제조 파라미터들을 PDP를 최소화 하기 위한 제조 파라미터로 선택할 수 있다.
- [0150] 다음으로, 반도체 제조 파라미터 설정 장치(100)는 각 제조 파라미터에 대해 전력 민감도 및 지연 민감도를 산출한다(S 111).
- [0151] 다음으로, 반도체 제조 파라미터 설정 장치(100)는 전력 민감도 및 지연 민감도에 따라 각 제조 파라미터들을 기 설정된 복수 개의 그룹으로 분류한다(S 113). 이를 통해, 각 제조 파라미터들이 트랜지스터의 전력 및 지연에 대해 가지는 상관 관계를 용이하게 파악할 수 있게 된다.
- [0153] 도 12는 예시적인 실시예들에서 사용되기에 적합한 컴퓨팅 장치를 포함하는 컴퓨팅 환경(10)을 예시하여 설명하기 위한 블록도이다. 도시된 실시예에서, 각 컴포넌트들은 이하에 기술된 것 이외에 상이한 기능 및 능력을 가질 수 있고, 이하에 기술된 것 이외에도 추가적인 컴포넌트를 포함할 수 있다.
- [0154] 도시된 컴퓨팅 환경(10)은 컴퓨팅 장치(12)를 포함한다. 일 실시예에서, 컴퓨팅 장치(12)는 반도체 제조 파라미터 설정 장치(100)일 수 있다.
- [0155] 컴퓨팅 장치(12)는 적어도 하나의 프로세서(14), 컴퓨터 판독 가능 저장 매체(16) 및 통신 버스(18)를 포함한다. 프로세서(14)는 컴퓨팅 장치(12)로 하여금 앞서 언급된 예시적인 실시예에 따라 동작하도록 할 수 있다. 예컨대, 프로세서(14)는 컴퓨터 판독 가능 저장 매체(16)에 저장된 하나 이상의 프로그램들을 실행할 수 있다. 상기 하나 이상의 프로그램들은 하나 이상의 컴퓨터 실행 가능 명령어를 포함할 수 있으며, 상기 컴퓨터 실행 가능 명령어는 프로세서(14)에 의해 실행되는 경우 컴퓨팅 장치(12)로 하여금 예시적인 실시예에 따른 동작들을 수행하도록 구성될 수 있다.
- [0156] 컴퓨터 판독 가능 저장 매체(16)는 컴퓨터 실행 가능 명령어 내지 프로그램 코드, 프로그램 데이터 및/또는 다른 적합한 형태의 정보를 저장하도록 구성된다. 컴퓨터 판독 가능 저장 매체(16)에 저장된 프로그램(20)은 프로세서(14)에 의해 실행 가능한 명령어의 집합을 포함한다. 일 실시예에서, 컴퓨터 판독 가능 저장 매체(16)는 메모리(랜덤 액세스 메모리와 같은 휘발성 메모리, 비휘발성 메모리, 또는 이들의 적절한 조합), 하나 이상의 자기 디스크 저장 디바이스들, 광학 디스크 저장 디바이스들, 플래시 메모리 디바이스들, 그 밖에 컴퓨팅 장치(12)에 의해 액세스되고 원하는 정보를 저장할 수 있는 다른 형태의 저장 매체, 또는 이들의 적합한 조합일 수 있다.
- [0157] 통신 버스(18)는 프로세서(14), 컴퓨터 판독 가능 저장 매체(16)를 포함하여 컴퓨팅 장치(12)의 다른 다양한 컴포넌트들을 상호 연결한다.
- [0158] 컴퓨팅 장치(12)는 또한 하나 이상의 입출력 장치(24)를 위한 인터페이스를 제공하는 하나 이상의 입출력 인터

페이스(22) 및 하나 이상의 네트워크 통신 인터페이스(26)를 포함할 수 있다. 입출력 인터페이스(22) 및 네트워크 통신 인터페이스(26)는 통신 버스(18)에 연결된다. 입출력 장치(24)는 입출력 인터페이스(22)를 통해 컴퓨팅 장치(12)의 다른 컴포넌트들에 연결될 수 있다. 예시적인 입출력 장치(24)는 포인팅 장치(마우스 또는 트랙패드 등), 키보드, 터치 입력 장치(터치패드 또는 터치스크린 등), 음성 또는 소리 입력 장치, 다양한 종류의 센서 장치 및/또는 촬영 장치와 같은 입력 장치, 및/또는 디스플레이 장치, 프린터, 스피커 및/또는 네트워크 카드와 같은 출력 장치를 포함할 수 있다. 예시적인 입출력 장치(24)는 컴퓨팅 장치(12)를 구성하는 일 컴포넌트로서 컴퓨팅 장치(12)의 내부에 포함될 수도 있고, 컴퓨팅 장치(12)와는 구별되는 별개의 장치로 컴퓨팅 장치(12)와 연결될 수도 있다.

[0160] 이상에서 본 발명의 대표적인 실시예들을 상세하게 설명하였으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 상술한 실시예에 대하여 본 발명의 범주에서 벗어나지 않는 한도 내에서 다양한 변형이 가능함을 이해할 것이다. 그러므로 본 발명의 권리범위는 설명된 실시예에 국한되어 정해져서는 안 되며, 후술하는 특허 청구범위뿐만 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

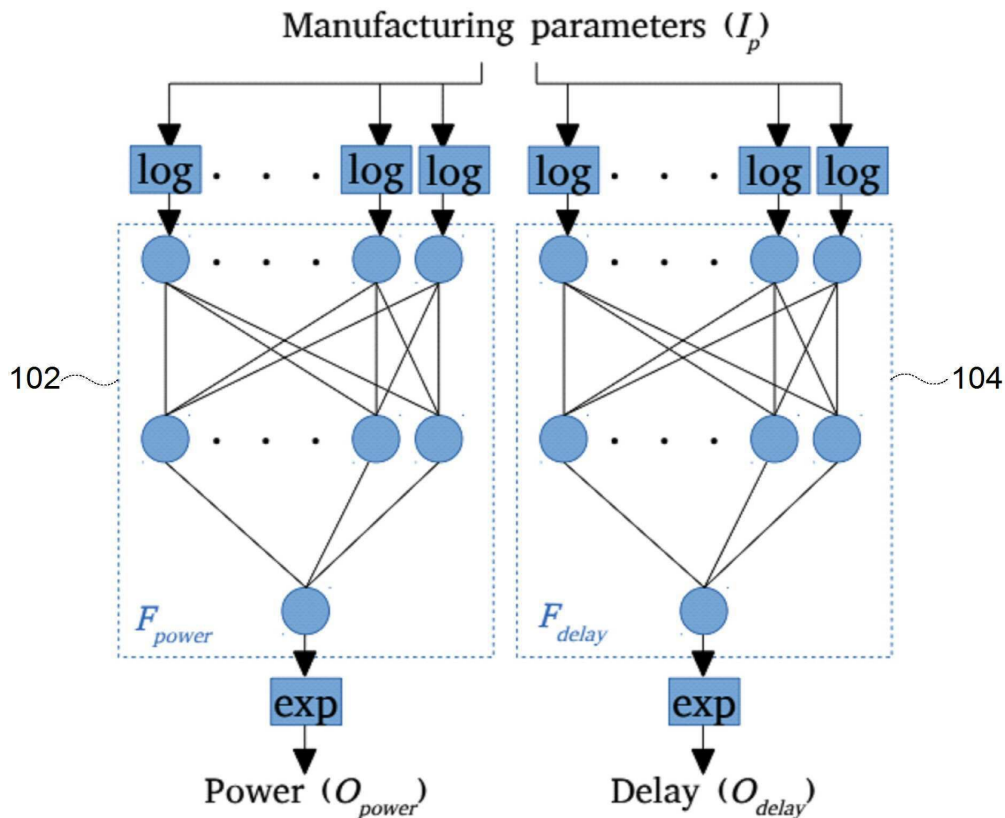
부호의 설명

[0162] 100 : 반도체 제조 파라미터 설정 장치
102 : 제1 신경망 모델
104 : 제2 신경망 모델
106 : 합산부
108 : 리미터부

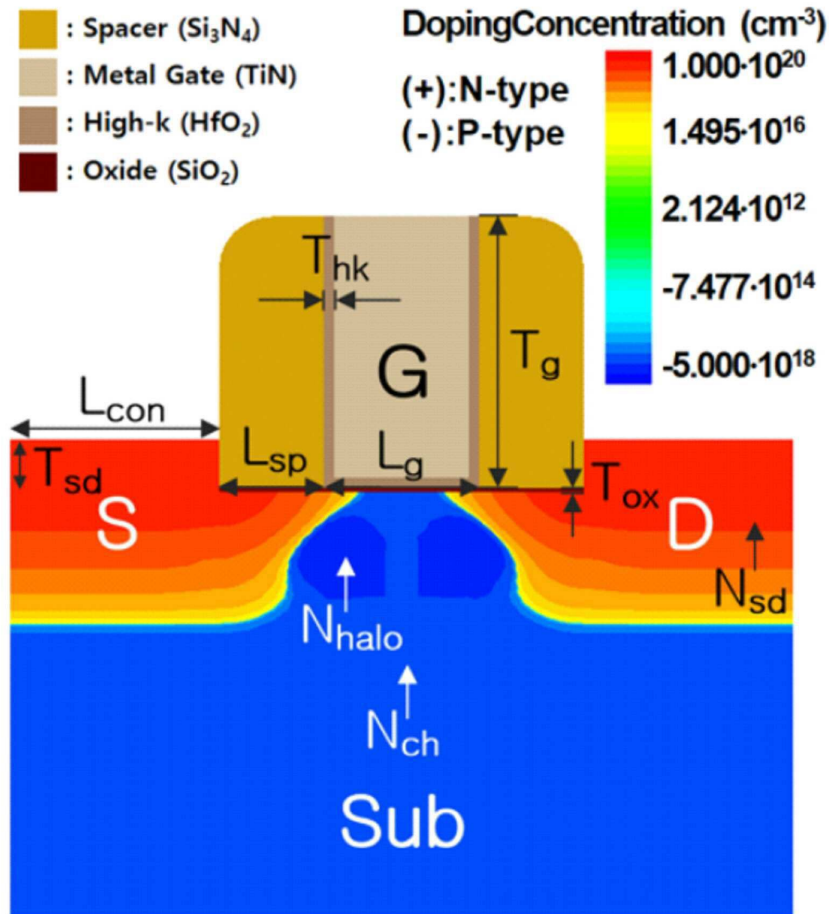
도면

도면1

100



도면2

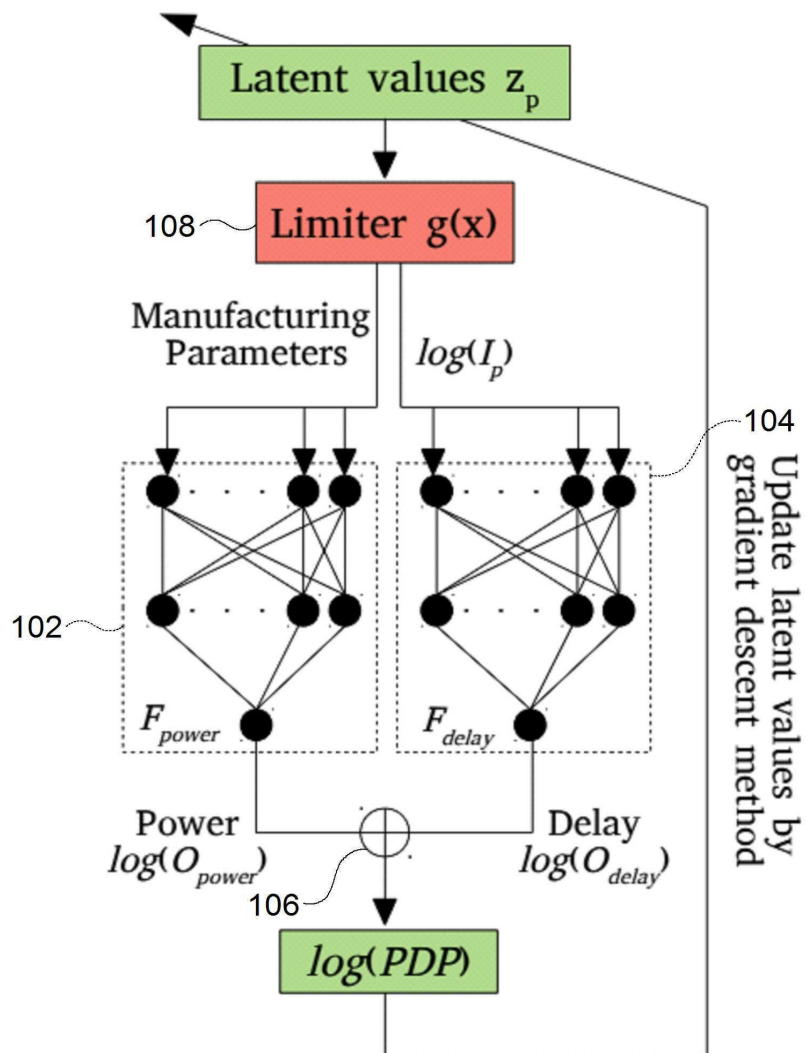


도면3

Input parameter	Symbol	Unit	Reference	Max	Min
Gate length	L_g	nm	30	34.5	25.5
Spacer length	$L_{sp(s/d)}$	nm	20	21	19
Contact length	$L_{con(s/d)}$	nm	40	42	38
Oxide thickness	T_{ox}	nm	0.7	0.805	0.595
High-K thickness	T_{hk}	nm	2	2.3	1.7
Doping concentration	N_{ch}	10^{18} cm^{-3}	1	1.25	0.75
	$N_{halo(s/d)}$	10^{18} cm^{-3}	5	6.25	3.75
	$N_{sd(s/d)}$	10^{20} cm^{-3}	1	1.25	0.75
Junction gradient	$L_{haloj(s/d)}$	nm	10	10.5	9.5
	$L_{sdj(s/d)}$	nm	25	26.25	23.75
Gate stack height	T_g	nm	50	52.5	47.5
S/D epi height	$T_{s/d(s/d)}$	nm	10	10.5	9.5

도면4

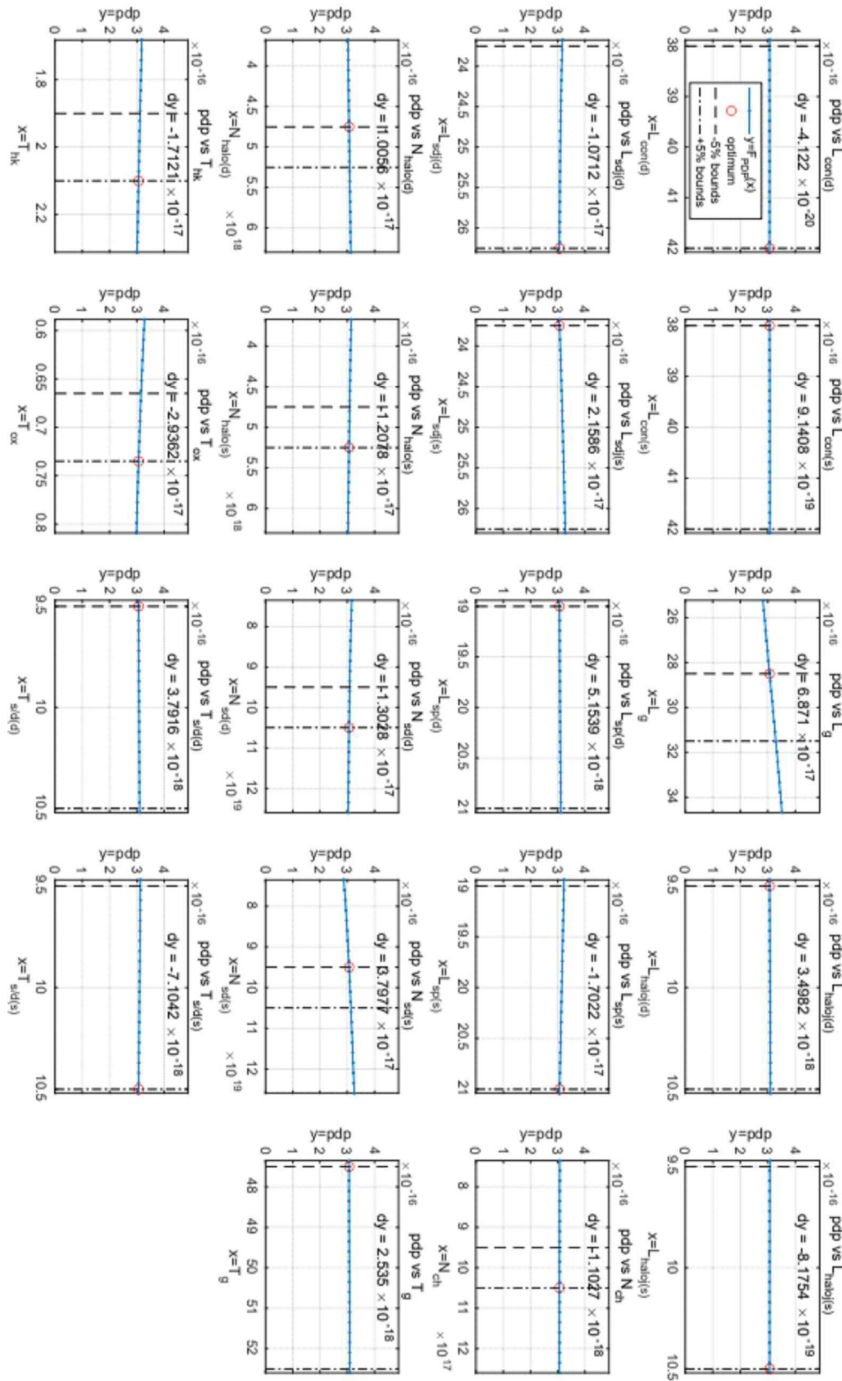
100



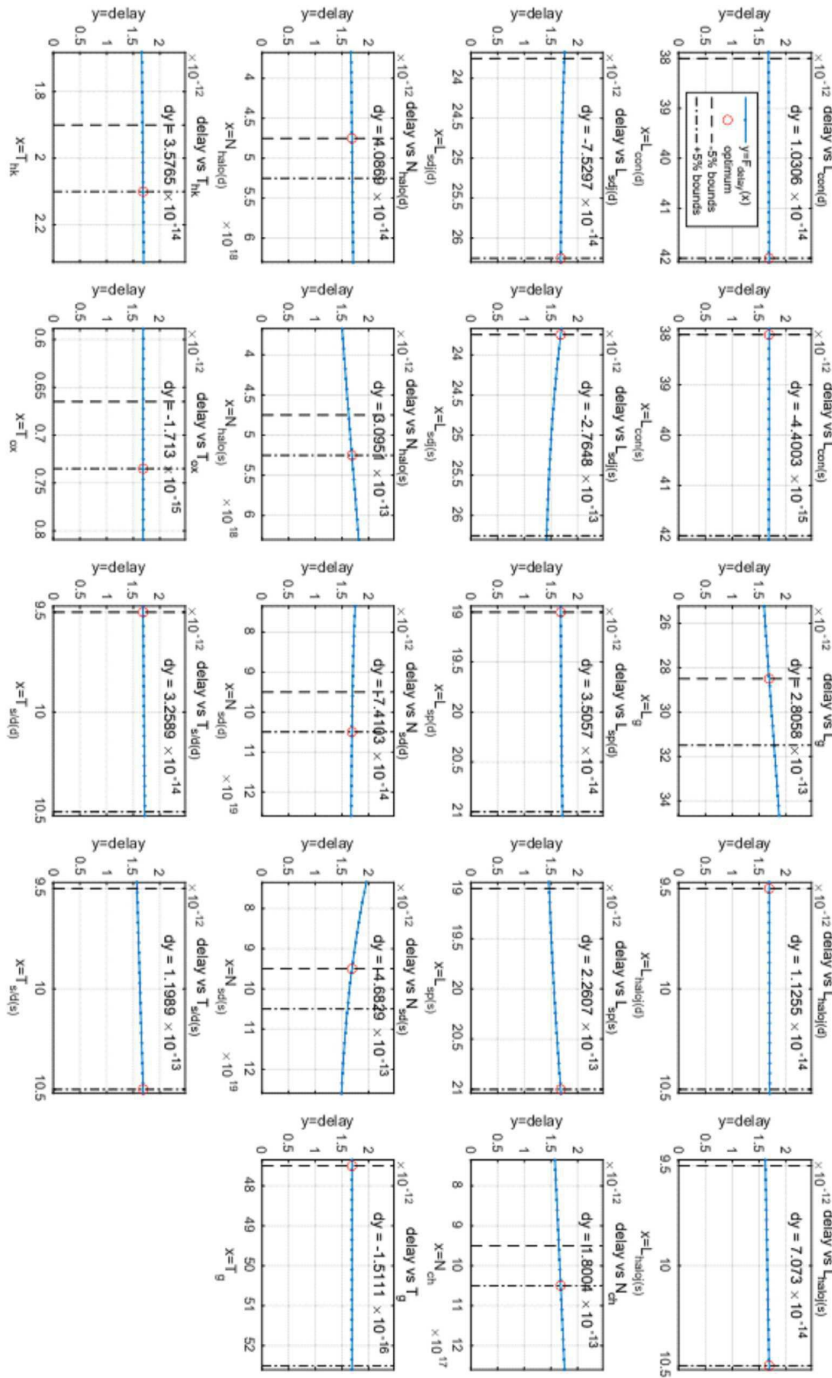
도면5

Repeat number		1	10	20	30	40	50	60	70	80	90	100
$\text{PDP} \times 10^{-15} (\times 10^{-18})$	predicted	0.3071 (0.9429)	0.3066 (0.0079)	0.3066 (0.0002)	0.3066 (0.0002)	0.3066 (0.0002)	0.3066 (0.0002)	0.3066 (0.0001)	0.3066 (0.0002)	0.3066 (0.0001)	0.3066 (0.0001)	0.3066 (0.0002)
	simulated	0.3110 (0.9578)	0.3118 (0.6863)	0.3120 (0.0007)	0.3120 (0.0047)	0.3120 (0.0006)	0.3120 (0.0009)	0.3120 (0.0006)	0.3120 (0.0046)	0.3120 (0.0007)	0.3120 (0.0047)	0.3120 (0.0047)
$\text{Delay} \times 10^{-11} (\times 10^{-13})$	predicted	0.1661 (0.2284)	0.1684 (0.0308)	0.1685 (0.0005)	0.1685 (0.0003)	0.1685 (0.0006)	0.1685 (0.0004)	0.1685 (0.0005)	0.1685 (0.0005)	0.1685 (0.0006)	0.1685 (0.0005)	0.1685 (0.0004)
	simulated	0.1684 (0.2705)	0.1699 (0.0041)	0.1699 (0.0005)	0.1699 (0.0019)	0.1699 (0.0004)	0.1699 (0.0006)	0.1699 (0.0004)	0.1699 (0.0019)	0.1699 (0.0005)	0.1699 (0.0019)	0.1699 (0.0019)
$\text{Power} \times 10^{-3} (\times 10^{-5})$	predicted	0.1849 (0.3095)	0.1820 (0.0339)	0.1819 (0.0006)	0.1819 (0.0003)	0.1819 (0.0007)	0.1819 (0.0005)	0.1819 (0.0006)	0.1819 (0.0005)	0.1819 (0.0006)	0.1819 (0.0005)	0.18219 (0.0004)
	simulated	0.1847 (0.2990)	0.1835 (0.0365)	0.1836 (0.0005)	0.1836 (0.0018)	0.1836 (0.0004)	0.1836 (0.0007)	0.1836 (0.0004)	0.1836 (0.0017)	0.1836 (0.0005)	0.1836 (0.0018)	0.1836 (0.0018)

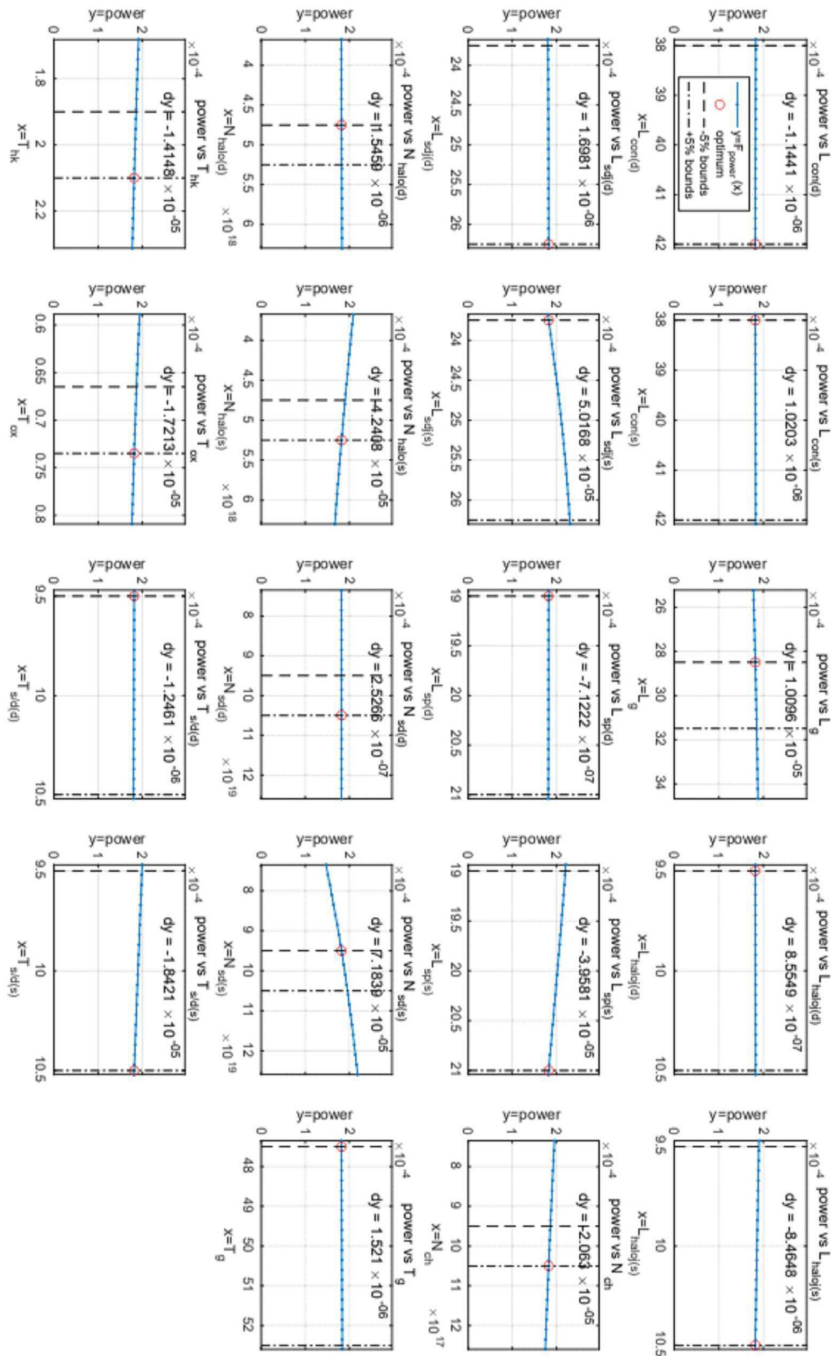
도면6



도면7



도면8



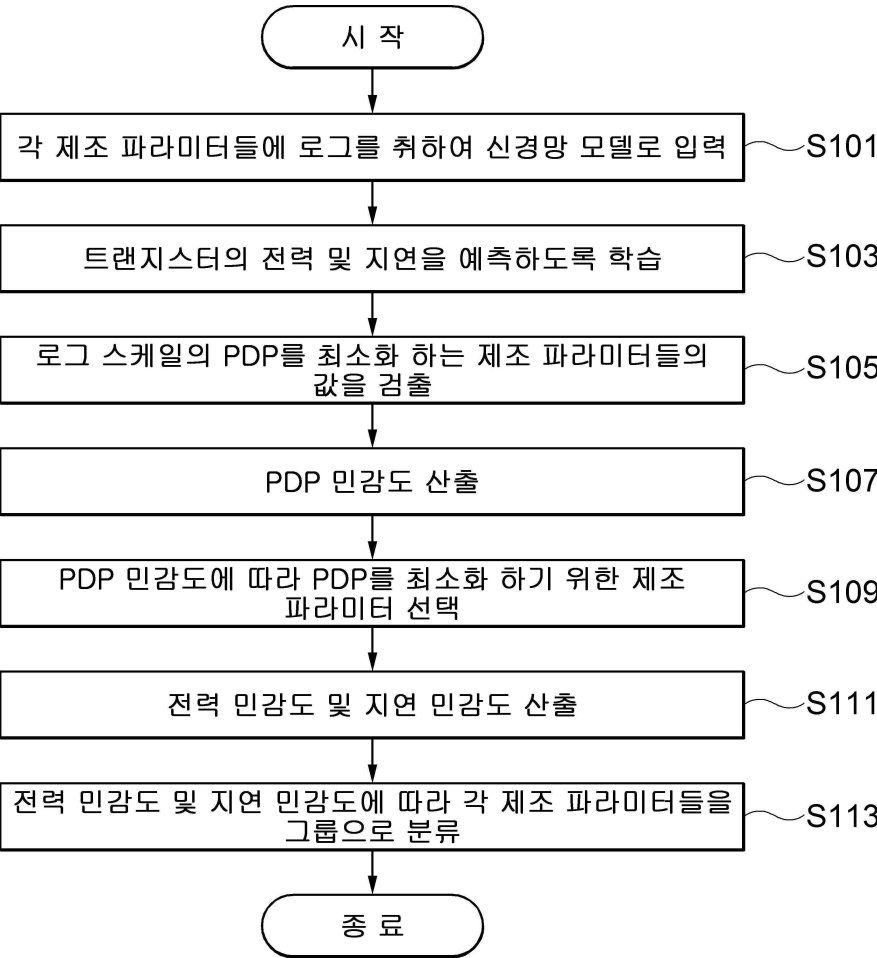
도면9

Parameter	PDP sensitivity (dy)	Parameter	PDP sensitivity (dy)
L_g	6.8710×10^{-17}	$T_{s/d(s)}$	-7.1042×10^{-18}
$N_{sd(s)}$	3.7977×10^{-17}	$L_{sp(d)}$	5.1539×10^{-18}
T_{ox}	-2.9362×10^{-17}	$T_{s/d(d)}$	3.7916×10^{-18}
$L_{sdj(s)}$	2.1586×10^{-17}	$L_{haloj(d)}$	3.4982×10^{-18}
T_{hk}	-1.7121×10^{-17}	T_g	2.5350×10^{-18}
$L_{sp(s)}$	-1.7022×10^{-17}	N_{ch}	-1.1027×10^{-18}
$N_{sd(d)}$	-1.3028×10^{-17}	$L_{con(s)}$	9.1408×10^{-19}
$N_{halo(s)}$	-1.2078×10^{-17}	$L_{haloj(s)}$	-8.1754×10^{-19}
$L_{sdj(d)}$	-1.0712×10^{-17}	$L_{con(d)}$	-4.1220×10^{-20}
$N_{halo(d)}$	1.0056×10^{-17}		

도면10

Parameters (0,0)	Delay sensitivity (dy)	Power sensitivity (dy)
$L_{con(d)}$	1.0306×10^{-14}	-1.1441×10^{-6}
$L_{haloj(d)}$	1.1255×10^{-14}	8.5549×10^{-7}
$L_{con(s)}$	-4.4003×10^{-15}	1.0203×10^{-6}
T_g	-1.5111×10^{-16}	1.5210×10^{-6}
Parameters ($\pm$,0)	Delay sensitivity (dy)	Power sensitivity (dy)
$L_{sdj(d)}$	-7.5297×10^{-14}	1.6981×10^{-6}
$N_{sd(d)}$	-7.4103×10^{-14}	2.5266×10^{-7}
$N_{halo(d)}$	4.0869×10^{-14}	1.5459×10^{-6}
$L_{sp(d)}$	3.5057×10^{-14}	-7.1222×10^{-7}
$T_{s/d(d)}$	3.2589×10^{-14}	-1.2461×10^{-6}
Parameters (0, $\pm$)	Delay sensitivity (dy)	Power sensitivity (dy)
T_{ox}	-1.7130×10^{-15}	-1.7213×10^{-5}
Parameters ($\pm$, $\pm$)	Delay sensitivity (dy)	Power sensitivity (dy)
L_g	2.8058×10^{-13}	1.0096×10^{-5}
Parameters ($\pm$, $\mp$)	Delay sensitivity (dy)	Power sensitivity (dy)
$N_{sd(s)}$	-4.6829×10^{-13}	7.1839×10^{-5}
$N_{halo(s)}$	3.0951×10^{-13}	-4.2408×10^{-5}
$L_{sdj(s)}$	-2.7648×10^{-13}	5.0168×10^{-5}
$L_{sp(s)}$	2.2607×10^{-13}	-3.9581×10^{-5}
N_{ch}	1.8004×10^{-13}	-2.0630×10^{-5}
$T_{s/d(s)}$	1.1989×10^{-13}	-1.8421×10^{-5}
$L_{haloj(s)}$	7.0730×10^{-14}	-8.4648×10^{-6}
T_{hk}	3.5765×10^{-14}	-1.4148×10^{-5}

도면11



도면12

10

